

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-053206

(43)Date of publication of application : 25.02.1994

(51)Int.Cl.

H01L 21/306

H01L 21/302

(21)Application number : 04-201207

(71)Applicant : NISSAN MOTOR CO LTD

(22)Date of filing : 28.07.1992

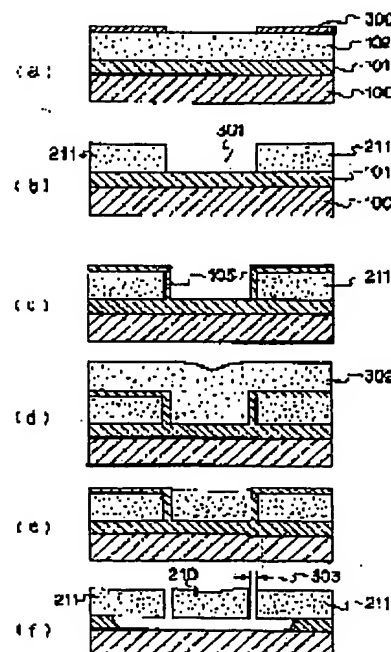
(72)Inventor : IWASAKI YASUKAZU

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

### (57)Abstract:

**PURPOSE:** To realize an extremely fine operational gap always with good accuracy and easily by a method wherein a film is formed on the sidewall of a first electrode, a member for a second electrode is formed so as to come into contact with the film and a sacrificial-layer etching operation is then executed to the film.

**CONSTITUTION:** A thermal oxidation operation is performed, and an oxide film 105 is formed on the sidewall of a fixed electrode 211. Then, a polysilicon film 302 as a member for a movable electrode 210 is formed. Then, the polysilicon film 302 is etched back by RIE down to the height of the fixed electrode 211. Then, when a sacrificial-layer etching operation is executed to the oxide film 105 on the sidewall and to a thermal oxide silicon film 101, the fixed electrode 211, the movable electrode 210 and an operational gap 303 are formed. Thereby, the operational gap which is extremely fine can be realized always with good accuracy.



## LEGAL STATUS

[Date of request for examination] 11.11.1997

[Date of sending the examiner's decision of rejection] 30.11.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C); 1998,2003 Japan Patent Office

(10)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-53206

(43)公開日 平成6年(1994)2月25日

(51)Int.Cl.

H01L 21/308  
21/302

識別記号

S 9278-4M  
J 9277-4M

庁内整理番号

FI

技術表示箇所

審査請求 未請求 請求項の数(全7頁)

(21)出願番号 特願平4-201207  
(22)出願日 平成4年(1992)7月28日

(71)出願人 000003687  
日産自動車株式会社  
神奈川県横浜市神奈川区宝町2番地  
(72)発明者 岩崎 靖和  
神奈川県横浜市神奈川区宝町2番地 日産  
自動車株式会社内  
(74)代理人 弁理士 中村 純之助 (外1名)

(54)【発明の名称】 半導体装置の製造方法

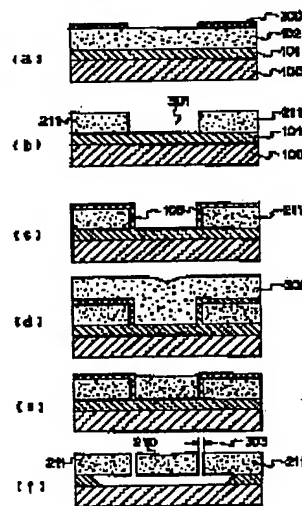
(57)【要約】

【目的】常に精度良く、極めて微細なオペレーショナル・ギャップを容易に実現することの出来る半導体装置(例えば静電型アクチュエータ)の製造方法を提供する。

【構成】微小なオペレーショナル・ギャップを隔てて固定電極と可動電極とを有する静電型アクチュエータを製造する方法において、第1の電極(例えば固定電極)を形成し、該第1の電極の側壁に酸化膜を形成し、該酸化膜に接して第2の電極(例えば可動電極)の部材を形成した後、上記酸化膜を犠牲エッチングしてオペレーショナル・ギャップを形成する製造方法。

ナル・ギャップを形成する製造方法。

図 1



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項 1】 微小ギャップを隔てた 2 つ以上の電極を有する半導体装置を製造する方法において、

第 1 の電極を形成する工程と、

上記第 1 の電極の側壁に膜を形成する工程と、

上記第 1 の電極の側壁の膜に接して第 2 の電極の部材を形成する工程と、

上記第 1 の電極と第 2 の電極間の膜を犠牲層エッチングして除去し、ギャップを形成する工程と、

を具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、静電型アクチュエータ等の半導体装置、いわゆるマイクロ装置の製造方法に関する。

【0002】

【従来の技術】 静電型アクチュエータは、超小型のアクチュエータであり、微小ギャップを隔てて形成された固定電極と可動電極間に駆動電圧を印加することにより、静電力によって可動電極を駆動するものである。なお、静電型アクチュエータには、可動電極が直線的に移動するリニア型と、可動電極が回転する回転型とがある。従来報告されている静電型アクチュエータにおいては、駆動電圧として 20～60V 程度のかなり高い電圧を必要としている。その理由は次の通りである。すなわち、電極間のギャップを形成する製造方法としてフォトリソエッチングを用いており、そのギャップ幅は現在、約 0.5  $\mu\text{m}$  が限界（例えば 16MbIt-DRAM）であり、その精度にも限界があるため、固定電極と可動電極との間のオベレーション・ギャップを、充分な静電気が得られるほど狭くすることが困難であり、結果として駆動電圧を高くせざるを得なかったものである。しかし、最近になって、サブミクロン・オベレーション・ギャップを実現し、TTL レベル（5V）の電圧で動作する静電型アクチュエータが報告された（例えば “Micro Electro Mechanical Systems” 1991, pp.57～62 に記載）。

【0003】 図 4 は、上記の TTL レベルの電圧で動作する静電型アクチュエータの製造工程を示す断面図である。以下、図 4 に基づいて上記先行技術の製造方法について説明する。

（a）まず、シリコン基板 100 を熱酸化して熱酸化シリコン膜 101 を形成する。その上に LPCVD を用いてアクチュエータの構成部材であるポリシリコン膜 102 を成膜する。さらにその上に LPCVD によって窒化シリコン膜 103 を形成する。次に、金属ニッケル膜 104 を真空蒸着法を用いて成膜する。

（b）次に、フォトリソグラフィ・エッチングによってニッケル膜 104 をパターンニングする。そして、このニッケル膜をマスクとし、RIE によってポリシリコン 102 をエッチングし、アクチュエータの形を形成す

る。

（c）次に、ニッケル膜 104 のマスクを除去した後、熱酸化を行ない、ポリシリコン 102 を酸化し、側壁に酸化膜 105 を形成する。このとき、窒化シリコン膜 104 はポリシリコン 102 の表面が酸化されるのを防ぐ保護膜となっている。また、側壁の酸化膜 105 の厚さによってオベレーション・ギャップを調節するが、これについては後述する。

（d）次に、表面の窒化シリコン膜 103 を除去した後、上記構造体をフッ酸液中に浸すことによって固定電極 211 と可動電極 210 が形成される。

なお、図 4 では、可動電極 210 が動いた状態、すなわち電圧印加状態を示している。また、図 4 は一方の断面図であるため、可動電極 210 が他から全く切り離された形状になっているが、実際には紙面の前後方向でブリッジ状につながっており、固定電極 211 と可動電極 210 間に駆動電圧を印加することにより、可動電極 210 が変位するようになっている。

【0004】 次に、図 5 および図 6 はサブミクロンサイズのオベレーション・ギャップの調節方法を説明するための断面図である。以下、説明する。

（a）ポリシリコン膜をエッチングし、固定電極 211 および可動電極 210 の各電極の大体の形を形成する（前記図 4 の（a）～（b）に相当）。このとき、相対する電極間の初期のギャップを  $d$  とする。

（b）熱酸化を行ない、電極ポリシリコンの側壁に酸化膜 105 を形成する（前記図 4 の（c）に相当）。このときできる酸化膜の厚さを  $t$  とする。

（c）上記酸化膜 105 をウエットエッチングによって除去する（前記図 4 の（d）に相当）。

（d）上記の一連のプロセスによって電極の幅が少し狭くなり、同時に相対する電極間のギャップが広がる。このときできるギャップ  $e$  がオベレーション・ギャップであり、このオベレーション・ギャップ  $e$  は、上記工程（a）で形成されたギャップ  $d$  と、熱酸化によって形成された酸化膜 105 の厚さ  $t$  によって決定される。実際には、リソグラフィによって形成されたギャップ  $d$  を測定してから、希望するギャップ  $e$  が得られるように酸化膜の厚さ  $t$  を決定する。

【0005】

【発明が解決しようとする課題】 上記のような従来のオキシレーションマシーニングによる静電型アクチュエータの製造方法においては、電極を形成しておいてから熱酸化と酸化膜エッチングによってオベレーション・ギャップを微調節する手法となっていたため、オベレーション・ギャップの調整前の工程であるドライエッチングあるいはフォトリソグラフィ等の工程でのパターンシフト量や或る程度前もって合わせ込んでおく必要があり、またプロセスごとに必要な酸化膜の厚さを決定しなければならぬので、作業が煩雑で工数がかかるという

問題がある。また、図6に示すように、オペレーション範囲999内にサブミクロン・オペレーショナル・ギャップのオーバーラップ1000を直接形成することは出来ない。つまり、図5の(a)～(c)に示す工程で形成した状態では、可動電極210と固定電極211との間隔が大きく、サブミクロン・オペレーション・ギャップのオーバーラップ1000とはならない。図5(c)に示した隙間1001分だけ可動電極210が移動して、図5(d)に示すように、可動電極210の先端部が2つの固定電極211の間隔が狭くなっている部分に入り込むと、サブミクロン・オペレーショナル・ギャップとなる。このサブミクロン・ギャップで動作させるためには、製造上、隙間1001分だけ余分なスペースが必要となる。さらに、上記の製造法では、リニア型アクチュエータの製造には適用できるが、回転型アクチュエータの製造は困難である、等の多くの問題があった。

【0006】本発明は、上記のごとき従来技術の問題を解決するためになされたものであり、常に精度良く、極めて微細なオペレーショナル・ギャップを容易に実現することの出来る半導体装置の製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】上記の目的を達成するため、本発明においては、特許請求の範囲に記載するように構成している。すなわち、本発明においては、第1の電極（例えば後記図1の固定電極211に相当）を形成する工程と、上記第1の電極の側壁に膜（例えば後記図1の酸化膜105に相当）を形成する工程と、上記第1の電極の側壁の膜に接して第2の電極（例えば後記図1の可動電極210に相当）の部材を形成する工程と、上記第1の電極と第2の電極間の膜を犠牲層エッチングして除去し、ギャップを形成する工程と、を備えている。

【0008】

【作用】上記のように、本発明においては、例えば固定電極となる第1の電極を形成した後、該第1の電極の側壁に膜（例えば酸化膜）を形成し、次に、例えば可動電極となる第2の電極を形成する部材を埋め込んだ後、上記側壁の膜を犠牲エッチングして除去することにより、オペレーショナル・ギャップを形成するものである。したがって本発明においては、両電極に接して挟まれた上記の膜の部分がオペレーショナル・ギャップとなるので、フォトリソグラフィ、あるいはドライエッチングの限界精度あるいはパターンシフト量等に拘らず、常に精度良く、極めて微細なオペレーショナル・ギャップを実現することが出来る。また、そのオペレーショナル・ギャップの大きさは上記膜の厚さによって一意的に定めることができるので、任意の値に容易に設定することが出来る。

【0009】

【実施例】図1は、本発明の製造工程の一実施例を示す

断面図である。以下、(a)～(f)の各工程にしたがって説明する。

(a) まず、シリコン基板100を熱酸化し、熱酸化シリコン膜101を形成し、その上にLPCVDを用いてアクチュエータの構成部材であるポリシリコン膜102を成膜し、さらにその上にマスク300を形成する。

(b) 次に、RIEによってポリシリコン102をエッチングし、固定電極211の形を形成する。

(c) 熱酸化を行ない、固定電極211の側壁に酸化膜105を形成する。

(d) 次に、可動電極210の部材であるポリシリコン膜302を成膜する。

(e) 次に、ポリシリコン膜302を固定電極211の高さまでRIEによってエッチバックする。

(f) 次に、上記側壁の酸化膜105と熱酸化シリコン膜101を犠牲層エッチングすることにより、固定電極211、可動電極210およびオペレーショナル・ギャップ303が形成される。

なお、図1は一方の断面図であるため、可動電極210が他から全く切り離された形状になっているが、実際には紙面の前後方向でブリッジ状につながっており、固定電極211と可動電極210間に駆動電圧を印加することにより、可動電極が変位するようになっている。

【0010】上記のように本実施例においては、まず固定電極を形成し、該固定電極の側壁に酸化膜を形成し、該酸化膜に接して可動電極の部材を形成した後、上記酸化膜を犠牲エッチングしてオペレーショナル・ギャップを形成するように構成している。したがって両電極に接して挟まれた酸化膜105の部分がオペレーショナル・ギャップとなるので、フォトリソグラフィ、あるいはドライエッチングの限界精度あるいはパターンシフト量等に拘らず、常に精度良く、極めて微細なオペレーショナル・ギャップを実現することが出来る。また、そのオペレーショナル・ギャップの大きさは上記酸化膜の厚さによって一意的に定めることができるので、任意の値に容易に設定することが出来る。

【0011】なお、上記の本実施例においては、まず固定電極211の形を形成してから、可動電極210の構成部材302を埋め込んで形成しているが、先に可動電極210の形を形成してから、固定電極211の構成部材を埋め込んで良い。また、本実施例では、静電型リニアアクチュエータを例示したが、静電型回転アクチュエータ等他の静電型アクチュエータであっても、全く同様のプロセスでオペレーショナル・ギャップを形成することができる。また、本実施例では、固定電極および可動電極の構成部材としてポリシリコンを用いた場合を例示したが、基板の上に酸化膜を介してシリコン単結晶膜のある、いわゆるSOI基板を用いれば、固定電極の構成部材として単結晶シリコンを用いることができる。また、可動電極の電極材料もポリシリコンに限らず他のC

V D膜等も利用可能である。また、断面図のため説明を省いたが、当然のことながらエッチバック（図1の

（e）の工程）後、犠牲層エッチング（図1の（f）の工程）前にフォトリソグラフィ・エッチング工程がある。また、固定電極の側壁のみを酸化させるために、固定電極の表面に保護膜を設けても良い。

【0012】次に、図2は、本発明の第2の実施例を示す断面図である。図2において、

（a）シリコン基板100に高不純物濃度の埋込層305を形成し、エピタキシャルシリコン層304を形成し、該エピタキシャルシリコン層304を熱酸化した後、フォトリソグラフィ・エッチング工程によって酸化膜マスク306を形成する。

（b）上記酸化膜マスク306によってトレンチ301を形成した後、熱酸化によって側壁の酸化膜105を形成する。

（c）反応性イオンエッチング（RIE）によって酸化膜105の底面をエッチングし、トレンチ底部のシリコン層307を露出させる。この際、RIEの異方性と上面、底面の酸化膜厚さの差異とによって、側壁の酸化膜と上面の酸化膜を残すことができる。

（d）次に、トレンチ301内部に、選択エピタキシャル成長法によって選択エピタキシャルシリコン層308を形成する。

（e）次に、側壁の酸化膜105を犠牲層エッチングし、また埋込層305を例えばフッ酸：硝酸：酢酸＝1：3：8の溶液で選択エッチングして除去することにより、可動電極210と固定電極211（本例では基板に電位が落ちている）と、オベレーション・ギャップ303が形成される。

【0013】なお、本実施例においても、静電型リニアアクチュエータを例として説明したが、静電型回転アクチュエータ等、他の静電型アクチュエータであっても同様のプロセスでオベレーション・ギャップを形成することができる。また、本実施例では、可動電極210の電極の構成材料として選択エピタキシャルシリコン膜を用いた場合を説明したが、他の選択V D膜あるいは選択めっき膜等も利用可能である。また、断面図のため説明を省いたが、当然のことながら、選択エピタキシャル成長（図2の（d）の工程）後、犠牲層エッチング（図2の（e）の工程）前に、フォトリソグラフィ・エッチング工程による可動電極ないしは固定電極と可動電極の両電極の形を形成する工程が必要である。また、本実施例においても、第1の電極の側壁のみを酸化させるための保護膜を固定電極の表面に設けても良い。

【0014】次に、図3は、本発明の第3の実施例を示す断面図である。図3において、

（a）シリコン基板100に熱酸化シリコン膜101を形成し、ポリシリコン膜102を成膜し、SiO<sub>2</sub>膜309を成膜し、さらにシリコン窒化膜310を成膜す

る。

（b）次に、フォトリソグラフィ・エッチング工程により、トレンチ301を形成し、固定電極211の形を形成する。

（c）次に、固定電極211の側壁を熱酸化して側壁の酸化膜105を形成する。

（d）次に、選択デポジションの活性層を形成する材料、例えばシリコンをスパッタし、固定電極211の表面のシリコン層をシリコン窒化膜310と共にリフトオフし、トレンチ底部にのみ活性層311を形成する。

（e）次に、上記活性層311上部に、可動電極の構成部材、例えばタングステンを選択的にデポジションし、選択デポジション膜312を形成する。

（f）次に、上記側壁の酸化膜105と、熱酸化膜101を犠牲層エッチングすることにより、固定電極211と可動電極210と、オベレーション・ギャップ303とが形成される。

【0015】なお、本実施例においても、図1に示した実施例と同様に、いわゆるSOI基板を用いることができる。また、可動電極の構成材料としては、選択V D膜に限らず、選択めっき膜でも良い。この場合には活性層としてはPdを蒸着すればよい。また本実施例も、リニア型、回転型等によらず、オベレーション・ギャップを形成することができる。なお、これまでの説明においては、静電型アクチュエータについてのみ説明したが、それ以外のマイクロ装置においても、微小ギャップを隔てた2つ以上の電極を有する半導体装置であれば、本発明を適用することが出来る。

【0016】

【発明の効果】以上説明してきたように、この発明によれば、第1の電極を形成し、該第1の電極の側壁に膜を形成し、該膜に接して第2の電極の部材を形成した後、上記膜を犠牲層エッチングしてオベレーション・ギャップを形成するように構成したことにより、フォトリソグラフィ、あるいはドライエッチングの限界精度あるいはパターンシフト量等に拘らず、常に精度良く、極めて微細なオベレーション・ギャップを実現することが出来る。また、そのオベレーション・ギャップの大きさは上記膜の厚さによって一意的に定めることができるので、任意の値に容易に設定することが出来る、という効果が得られる。また、図1および図2の実施例においてSOI基板を用いた場合、および図3の実施例において可動電極を単結晶シリコンで構成した場合には、ポリシリコンを用いた場合に比べて信頼性が向上し、かつ、側壁酸化後の表面ラフネスもポリシリコンに比べて極めて小さくなる、という利点がある。

【図面の簡単な説明】

【図1】本発明の製造工程の第1の実施例を示す断面図。

【図2】本発明の製造工程の第2の実施例を示す断面

図。

【図3】本発明の製造工程の第3の実施例を示す断面図。

【図4】従来技術の製造工程の一例を示す断面図。

【図5】オペレーショナル・ギャップの調節方法を説明するための断面図。

【図6】オペレーショナル・ギャップの調節方法を説明するための断面図。

【符号の説明】

100…シリコン基板  
101…熱酸化シリコン膜  
102…ポリシリコン膜  
105…酸化膜  
210…可動電極

211…固定電極

300…マスク

302…ポリシリコン膜

303…オペレーショナル・ギャップ

304…シヤルシリコン層

305…高不純物濃度の埋込層

306…酸化膜マスク

307…トレンチ底部のシリコン面

308…選択エピタキシャルシリコン層

309…SiO<sub>2</sub>膜

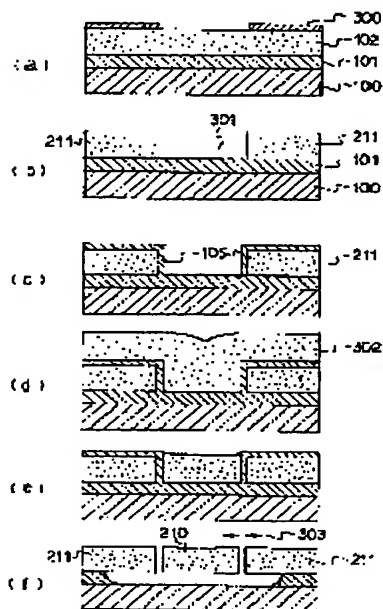
310…シリコン窒化膜

311…活性層

312…選択デポジション膜

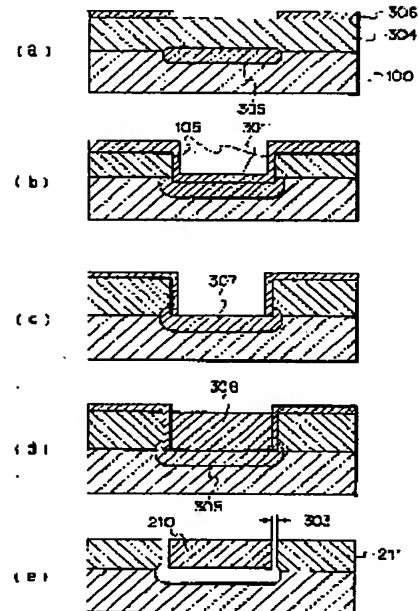
【図1】

図 1



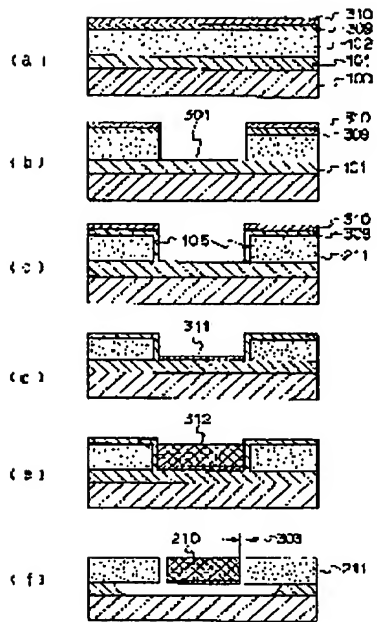
【図2】

図 2



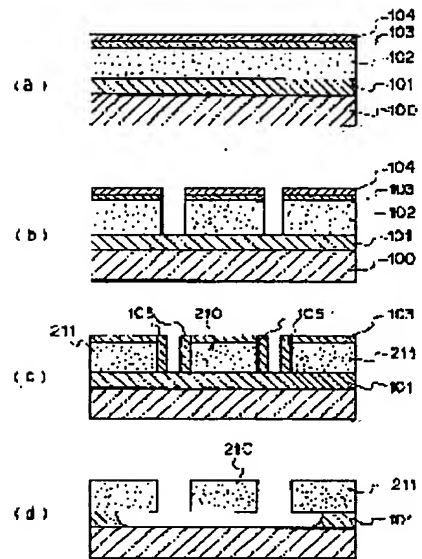
【図 3】

図 3



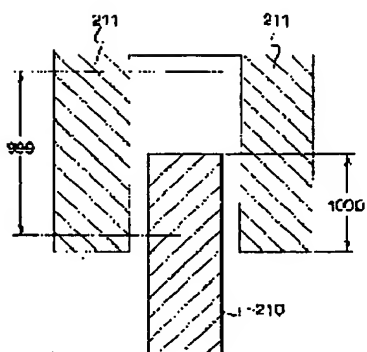
【図 4】

図 4



【図 5】

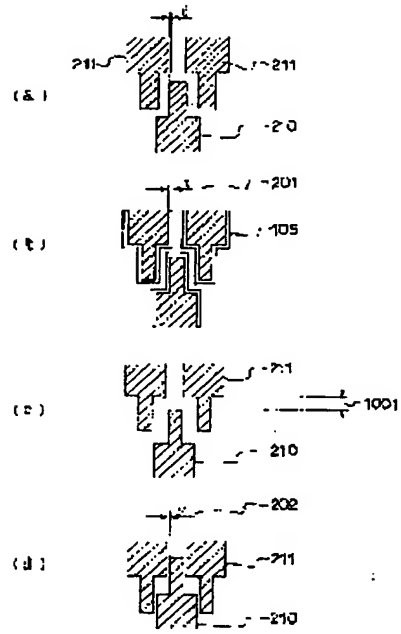
図 6





【図5】

図 5



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**